

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-294076

(43)Date of publication of application : 05.12.1990

(51)Int.Cl.

H01L 29/784

H01L 27/12

(21)Application number : 01-115394

(71)Applicant : HITACHI LTD

(22)Date of filing : 08.05.1989

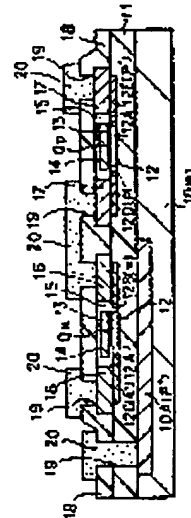
(72)Inventor : MITANI SHINICHIRO
KAWAGUCHI ETSUKO
KIKUSHIMA KENICHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To improve the controllability of threshold voltage and the current driving capability of an MISFET adopting SOI(Silicon On Insulator) structure by constituting a channel forming region of the silicon film MISFET of a thin film which is all turned into a depletion state, and arranging facing electrodes at facing positions in the channel forming region.

CONSTITUTION: A complementary type MISFET adopting SOI structure is constituted of a single crystalline silicon film 12 arranged on the main surface of an n-type semiconductor substrate 10 via an insulating film 11. At a position facing a gate electrode 14 where a channel forming region 12A is the center, a p⁺ type semiconductor region 10A is arranged on the main surface of the n-type semiconductor substrate 10, and is used as a facing electrode. At least the channel forming region 12A of the single crystalline silicon film 12 is formed of a thin film which is all turned into a depletion state when a gate voltage effectively equal to the threshold voltage is applied to the gate electrode 14. Thereby the controllability of threshold voltage of the MISFET adopting SOI structure is improved, and at the same time the current driving capability can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

⑫ 公開特許公報(A) 平2-294076

⑮ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)12月5日

H 01 L 29/784
27/12

7514-5F

9056-5F

H 01 L 29/78

3 1 1 X

審査請求 未請求 請求項の数 8 (全14頁)

⑭ 発明の名称 半導体集積回路装置

⑯ 特 願 平1-115394

⑰ 出 願 平1(1989)5月8日

⑱ 発 明 者 三 谷 真 一 郎 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内⑱ 発 明 者 川 口 悦 子 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内⑱ 発 明 者 菊 島 健 一 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 秋田 収喜

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. 絶縁性基板上的の珪素膜、又は半導体基板上的の絶縁膜を介在させた珪素膜にMISFETを構成する半導体集積回路装置において、前記珪素膜のMISFETのチャネル形成領域をしきい値電圧と同等のゲート電圧印加時にすべて空乏化される薄膜で構成し、前記絶縁性基板の内部又は半導体基板の主面部の前記チャネル形成領域に対向する位置に、前記MISFETのしきい値電圧と反対極性の電位が印加された対向電極を構成したことを特徴とする半導体集積回路装置。

2. 前記絶縁性基板の内部又は半導体基板の主面部に構成された対向電極は、前記MISFETのチャネル導電型と反対導電型の珪素膜又は半導体領域で構成されることを特徴とする請求項1に記載の半導体集積回路装置。

3. 前記MISFETのゲート電極はそのチャネル導電型と反対導電型の珪素膜で構成されることを特徴とする請求項1又は請求項2に記載の半導体集積回路装置。

4. 絶縁性基板上的の珪素膜、又は半導体基板上的の絶縁膜を介在させた珪素膜にMISFETを構成する半導体集積回路装置において、前記珪素膜のMISFETのチャネル形成領域をしきい値電圧と同等のゲート電圧印加時にすべて空乏化される薄膜で構成し、前記MISFETのゲート電極をそのチャネル導電型と反対導電型の珪素膜で構成したことを特徴とする半導体集積回路装置。

5. 絶縁性基板上的の珪素膜、又は半導体基板上的の絶縁膜を介在させた珪素膜にMISFETを構成する半導体集積回路装置において、前記珪素膜のMISFETのチャネル形成領域をしきい値電圧と同等のゲート電圧印加時にすべて空乏化される薄膜で構成し、前記絶縁性基板の内部又は半導体基板の主面部の前記チャネル形成領

域に対向する位置に、前記MISFETのチャネル導電型と反対導電型の珪素膜又は半導体領域を構成したことを特徴とする半導体集積回路装置。

6. 前記絶縁性基板上又は半導体基板上の珪素膜の異なる領域の夫々にはnチャネルMISFET、pチャネルMISFETが構成されることを特徴とする請求項1乃至請求項5に記載の夫々の半導体集積回路装置。

7. 前記珪素膜のMISFETのソース領域、ドレイン領域の夫々の膜厚はチャネル形成領域に比べて厚い膜厚で構成されることを特徴とする請求項1乃至請求項6に記載の夫々の半導体集積回路装置。

8. 前記珪素膜のMISFETのソース領域、ドレイン領域の夫々の表面上にはそれに比べて抵抗値が低い低抵抗層が構成されることを特徴とする請求項1乃至請求項7に記載の夫々の半導体集積回路装置。

3. 発明の詳細な説明

寄生容量の低減は半導体集積回路装置の動作速度の高速化を図ることができる。

(2) SRAM、DRAM等のメモリセルの情報蓄積部或はその一部としてMOSFETを使用する場合、SOI構造のMOSFETは耐 α 線ソフトエラー耐圧を高めることができる。

(3) SOI構造の相補型MOSFET(CMOS)は、寄生サイリスタ構造が形成されないので、ラッチアップの発生を防止できる。

SOI構造を採用するMOSFETは、単結晶珪素膜のチャネル形成領域の部分がソース領域及びドレイン領域で囲まられ、しかも基板と絶縁分離される。このため、前記単結晶珪素膜のチャネル形成領域部分への電源供給は難しい。この単結晶珪素膜のチャネル形成領域部分がフローティング電位の場合、MOSFETはゲート電圧-ドレイン電流(V_g-I_d)特性にKINK特性を生じ、しきい値電圧が変動する事象が報告されている(Solid State Electron vol.18, pp.304-314, 1975)。このしきい値電圧の変動は、nチャネルM

(産業上の利用分野)

本発明は、半導体集積回路装置に関し、特に、SOI(Silicon On Insulator)構造を採用する半導体集積回路装置に適用して有効な技術に関するものである。

〔従来の技術〕

半導体集積回路装置に高集積化されるMOSFETにSOI構造を採用する研究が行われている。このMOSFETは基板上の単結晶珪素膜(SOI層)に横型にソース領域、チャネル形成領域、ドレイン領域の夫々を順次配置して構成される。前記基板は絶縁性基板、又は半導体基板(Si基板)上に絶縁膜を設けた基板が使用される。前記チャネル形成領域上にはゲート絶縁膜を介在させてゲート電極が配置される。

このSOI構造を採用するMOSFETは下記の利点を有する。

(1) 前記MOSFETのソース領域、ドレイン領域の夫々のpn接合部に付加される寄生容量や配線に付加される寄生容量が低減される。この寄

OSFETの場合、単結晶珪素膜のチャネル形成領域部分に正孔が蓄積されることに起因する。

このような問題点を解決する2つの技術が提案されている((1)IEEE Transactions on Electron Devices, vol.35, no.8, pp.1391-1393, 1988. (2)IEEE Electron Devices Letters, vol.9, no.10, pp.545-547, 1988.)。

提案された前者(1)の技術は第14図(要部断面図)に示すように絶縁性基板1上のp型単結晶珪素膜2にnチャネルMOSFETが構成される。このnチャネルMOSFETはp型単結晶珪素膜2のチャネル形成領域上にゲート絶縁膜3、ゲート電極4の夫々を順次積層する。ソース領域5S、ドレイン領域5Dの夫々(ともにn型半導体領域)はゲート電極4の両側においてp型単結晶珪素膜2の主面部に設けられる。同第14図においては図示しないが、ソース領域5Sはゲート幅方向にp型半導体領域6を介在させて相互に配置される。このp型半導体領域6はp型単結晶珪素膜2と接続される。つまり、第14図に示すSOI構造を

採用するMOSFETは前記p型半導体領域6を介在させてp型単結晶珪素膜2のチャネル形成領域部分の電位を固定することができる。

提案された後者(2)の技術は第15図(要部断面図)に示すように絶縁性基板1上の単結晶珪素膜2にnチャネルMOSFETが構成される。このnチャネルMOSFETは単結晶珪素膜2のチャネル形成領域上にゲート絶縁膜3、ゲート電極4の夫々を順次積層する。ソース領域5S、ドレイン領域5Dの夫々(ともにn型半導体領域)はゲート電極4の両側において単結晶珪素膜2に設けられる。同第15図に示すように、前記単結晶珪素膜2はゲート電圧印加時にすべての領域が空乏化される薄い膜厚で形成される。例えば、単結晶珪素膜2は100[nm]以下の薄い膜厚で形成される。つまり、第15図に示すSOI構造を採用するMOSFETは、単結晶珪素膜2のチャネル形成領域部分をすべて空乏化し、フローティング領域をなくすることができる。

[発明が解決しようとする課題]

という問題があった。

本発明の目的は、SOI構造を採用するMISFETを有する半導体集積回路装置において、前記SOI構造を採用するMISFETのしきい値電圧の制御性を向上すると共に、しきい値電圧をエンハンスメント型に設定することが可能な技術を提供することにある。

本発明の他の目的は、前記目的を達成すると共に、前記SOI構造を採用するMISFETの電流駆動能力を向上することが可能な技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

[課題を解決するための手段]

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

(1) SOI構造のMISFETを有する半導体集積回路装置において、基板上の珪素膜のMIS

本発明者は、前述のSOI構造のMOSFETについて、次の問題点が生じることを見出した。

前記提案された前者(1)の技術において、SOI構造を採用するMOSFETは、ソース領域5Sの形成領域の一部にp型半導体領域6を形成しているため、実効的なゲート幅寸法が小さくなる。このため、SOI構造を採用するMOSFETは、ソース領域-ドレイン領域間電流密度が低下し、電流駆動能力が低下するという問題があった。

また、前記提案された後者(2)の技術において、SOI構造を採用するMOSFETは、単結晶珪素膜2の膜厚が薄くなるので、しきい値電圧が低下する。このため、SOI構造を採用するMOSFETはしきい値電圧をエンハンスメント型に設定することが難しいという問題があった。

また、前記単結晶珪素膜2の薄膜化は、ソース領域5S、ドレイン領域5Dの夫々の膜厚も薄くなるので、ソース領域5S、ドレイン領域5Dの夫々の抵抗値が増大する。このため、SOI構造を採用するMOSFETは電流駆動能力が低下す

FETのチャネル形成領域をしきい値電圧と同等のゲート電圧印加時にすべて空乏化される薄膜で構成し、前記基板の前記チャネル形成領域に対向する位置に前記MISFETのしきい値電圧と反対極性の電位が印加された対向電極を構成する。

(2) 前記手段(1)の対向電極を、前記MISFETのチャネル導電型と反対導電型の珪素膜又は半導体領域で構成する。

(3) 前記手段(1)、(2)の夫々のMISFETのゲート電極をそのチャネル導電型と反対導電型の珪素膜で構成する。

(4) SOI構造のMISFETを有する半導体集積回路装置において、基板上の珪素膜のMISFETのチャネル形成領域をしきい値電圧と同等のゲート電圧印加時にすべて空乏化される薄膜で構成し、前記MISFETのゲート電極をそのチャネル導電型と反対導電型の珪素膜で構成する。

(5) SOI構造のMISFETを有する半導体集積回路装置において、基板上の珪素膜のMISFETのチャネル形成領域をしきい値電圧と同等

のゲート電圧印加時にすべて空乏化される薄膜で構成し、前記基板の前記チャネル形成領域に対向する位置に、前記MISFETのチャネル導電型と反対導電型の珪素膜又は半導体領域を構成する。

(6) 前記手段(1)乃至(5)の珪素膜のMISFETのソース領域、ドレイン領域の夫々の膜厚をチャネル形成領域に比べて厚い膜厚で構成する。

〔作用〕

上述した手段(1)によれば、前記珪素膜のMISFETのチャネル形成領域をすべて空乏化し、フローティング領域をなくすることができるので、前記MISFETのしきい値電圧の変動を低減し、このしきい値電圧の制御性を高めることができると共に、前記対向電極に印加される反対極性の電位で前記MISFETのしきい値電圧を正方向にシフト(nチャネルMISFETでは正方向にシフト、pチャネルMISFETでは負方向にシフト、以下、同様)することができるので、このしきい値電圧をエンハンスメント化することができる。

このしきい値電圧の制御性を高めることができると共に、前記珪素膜のMISFETのチャネル形成領域と前記ゲート電極との間の仕事関数差によりしきい値電圧を正方向にシフトすることができるので、このしきい値電圧をエンハンスメント化することができる。

上述した手段(5)によれば、前記珪素膜のMISFETのチャネル形成領域をすべて空乏化し、フローティング領域をなくすることができるので、前記MISFETのしきい値電圧の変動を低減し、このしきい値電圧の制御性を高めることができると共に、前記珪素膜のMISFETのチャネル形成領域とそれと対向する珪素膜又は半導体領域との間の仕事関数差によりしきい値電圧を正方向にシフトすることができるので、このしきい値電圧をエンハンスメント化することができる。

上述した手段(6)によれば、前記MISFETのソース領域、ドレイン領域の夫々の抵抗値を低減することができるので、ソース領域-ドレイン領域間電流量を増加し、前記MISFETの電

る。

また、前記珪素膜のMISFETのチャネル形成領域部分に電位を供給する半導体領域を廃止することができるので、ゲート幅方向の寸法を増加し、MISFETの電流駆動能力を向上することができる。

上述した手段(2)によれば、前記珪素膜のMISFETのチャネル形成領域と前記対向電極との間の仕事関数差によりしきい値電圧を正方向にシフトすることができるので、このしきい値電圧をよりエンハンスメント化することができる。

上述した手段(3)によれば、前記珪素膜のMISFETのチャネル形成領域と前記ゲート電極との間の仕事関数差によりしきい値電圧を正方向にシフトすることができるので、このしきい値電圧をよりエンハンスメント化することができる。

上述した手段(4)によれば、前記珪素膜のMISFETのチャネル形成領域をすべて空乏化し、フローティング領域をなくすることができるので、前記MISFETのしきい値電圧の変動を低減し、

電流駆動能力を向上することができる。

以下、本発明の構成について、SOI構造を採用する相補型MISFETを有する半導体集積回路装置に本発明を適用した一実施例とともに説明する。

なお、実施例を説明するための全図において、同一機能をもつものは同一符号を付け、その繰り返しの説明は省略する。

〔発明の実施例〕

(実施例1)

本発明の実施例1である半導体集積回路装置に集積化されたSOI構造を採用する相補型MISFETを第1図(要部断面図)で示す。

第1図に示すように、SOI構造を採用する相補型MISFETはn型半導体基板10の主面上に絶縁膜11を介在させて設けられた単結晶珪素膜12に構成される。この単結晶珪素膜12は所謂SOI層として使用される。

前記相補型MISFETのうちのnチャネルMISFETQ_nは、前記絶縁膜11で周囲を規定さ

れた領域内において配置され、他の素子と電気的に分離される。このnチャネルMISFETQnは、主に、チャネル形成領域12A、ゲート絶縁膜13、ゲート電極14、ソース領域及びドレイン領域である一対のn型半導体領域12B及び一対のn型半導体領域12Cで構成される。また、このnチャネルMISFETQnのチャネル形成領域12Aを中心に前記ゲート電極14と対向する位置において、n型半導体基板10の主面部にはp型半導体領域10Aが設けられる。つまり、p型半導体領域10Aは、nチャネルMISFETQnのチャネル形成領域12A下に絶縁膜11を介在させて設けられ、対向電極として使用される。

前記単結晶珪素膜12の少なくともチャネル形成領域12Aは、しきい値電圧と実質的に等しいゲート電圧がゲート電極14に印加されたときに、すべて空乏化される薄い膜厚で形成される。チャネル形成領域12Aは例えば50～100[nm]程度の薄い膜厚で形成される。チャネル形成領域12Aは、すべて空乏化された場合、フローティング領域が

Drain) 構造のnチャネルMISFETQnを構成する。n型半導体領域12Bはゲート電極14の両側にそれに対して自己整合で形成される。n型半導体領域12Cは、ゲート電極14の両側にその側壁に形成されたサイドウォールスペーサ15に対して自己整合で形成される。n型半導体領域12Cはその表面上に形成された電極16に接続される。電極16は例えばCVD法で堆積された多結晶珪素膜で形成され、この多結晶珪素膜にはn型不純物が導入される。前記n型半導体領域12Cは、この方法に限定されないが、電極16である多結晶珪素膜に導入されたn型不純物を単結晶珪素膜12に拡散することにより形成される。

前記電極16には層間絶縁膜18に形成された接続孔19を通して配線20が接続される。配線20は例えばアルミニウム合金膜で形成される。アルミニウム合金膜はCu、又はCu及びSiが添加されたアルミニウム膜である。Cuはエレクトロマイグレーション耐圧を高める作用がある。Siはアロイスバイク現象を防止する作用がある。

存在しなくなるので、経時的な正孔の蓄積がなくなる。つまり、nチャネルMISFETQnは、ゲート電圧—ドレイン電流特性においてKINK特性の発生を低減し、しきい値電圧の変動を低減することができる。

前記ゲート絶縁膜13は単結晶珪素膜12のチャネル形成領域12Aの表面上に設けられる。このゲート絶縁膜13は例えば前記チャネル形成領域12Aの表面を酸化して形成した酸化珪素膜で形成される。

ゲート電極14は前記単結晶珪素膜12のチャネル形成領域12A上にゲート絶縁膜13を介在させて設けられている。ゲート電極14は例えばCVD法で堆積した多結晶珪素膜で形成され、この多結晶珪素膜には抵抗値を低減するn型不純物が導入される。

前記ソース領域、ドレイン領域の夫々である低不純物濃度のn型半導体領域12Bは、単結晶珪素膜12のチャネル形成領域12Aと高不純物濃度のn型半導体領域12Cとの間に設けられる。このn型半導体領域12Bは所謂LDD (Lightly Doped

前記対向電極であるp型半導体領域10Aには層間絶縁膜18、絶縁膜11の夫々に形成された接続孔19を通して配線20が接続される。この配線20は前記対向電極に基板の表面側から電位を供給する。対向電極には前記配線20を介在させて、0以下の負電位例えば-5[V]が印加される。この対向電極に印加される負電位は、後述するが、nチャネルMISFETQnのしきい値電圧を正方向(しきい値電圧を上昇させる方向、以下同様)にシフトする作用がある。

前記相補型MISFETのうちのpチャネルMISFETQpは、前記絶縁膜11で周囲を規定された領域内において配置され、他の素子と電気的に分離される。このpチャネルMISFETQpは、主に、チャネル形成領域12A、ゲート絶縁膜13、ゲート電極14、ソース領域及びドレイン領域である一対のp型半導体領域12D及び一対のp型半導体領域12Eで構成される。また、このpチャネルMISFETQpのチャネル形成領域12Aを中心に前記ゲート電極14と対向する位置において

はn型半導体基板10が設けられる。n型半導体基板10は、pチャネルMISFETQpのチャネル形成領域12A下に絶縁膜11を介在させて設けられ、対向電極として使用される。

前記チャネル形成領域12AはnチャネルMISFETQnと同様にすべて空乏化される薄い膜厚で形成される。ゲート電極14は例えばn型不純物が導入された多結晶珪素膜で形成される。前記ソース領域、ドレイン領域の夫々である低不純物濃度のp型半導体領域12Dは単結晶珪素膜12のチャネル形成領域12Aと高不純物濃度のp型半導体領域12Eとの間に設けられる。このp型半導体領域12Dは所謂LDD構造のpチャネルMISFETQpを構成する。p型半導体領域12D、p型半導体領域12Eの夫々はゲート電極14の両側にそれに対して自己整合で形成される。p型半導体領域12Eには電極17が接続される。電極17は例えばCVD法で増殖させた多結晶珪素膜で形成され、この多結晶珪素膜にはp型不純物が導入される。前記p型半導体領域12Eは電極17である多結晶珪素膜

に導入されたp型不純物を単結晶珪素膜12に拡散することにより形成される。

前記対向電極であるn型半導体基板10には前記p型半導体領域10Aと同様に基板の表面側から又は基板の裏面から電位が供給される。この対向電極には前記p型半導体領域10Aに印加される電位に比べて高い電位である正電位例えば5[V]が印加される。正電位はpチャネルMISFETQpのしきい値電圧を正方向（実際には負方向であるが、しきい値電圧を上昇させる方向において正方向である）にシフトする作用がある。

前述の相補型MISFETのしきい値電圧はエンハンスメント型に設定される。まず、nチャネルMISFETQnのポテンシャル及び電荷分布状態を第2図（ポテンシャル及び電荷分布図）で示す。

前記nチャネルMISFETQnのチャネル形成領域12A下には対向電極（p型半導体領域10A）が設けられるので、ゲート絶縁膜13に加わる電圧 $V_{sio,1}$ は第2図に示すように次式〈1〉で表わ

される。

$$V_{sio,1} = \frac{-t_{ox_1}}{\epsilon_{sio_2} - 1} \cdot (Q_{ss} + qNd) \quad \dots \langle 1 \rangle$$

ただし、 t_{ox_1} :ゲート絶縁膜13の膜厚
 d :単結晶珪素膜12の膜厚
 Q_{ss} :対向電極(10A)側に加わる電荷
 C_{ss} :ゲート絶縁膜13の容量
 ϵ_{sio_2} :絶縁膜11の誘電率

同様に、単結晶珪素膜12のチャネル形成領域12Aに加わる電圧 V_{sl} 、対向電極側の絶縁膜11に加わる電圧 $V_{sio,2}$ の夫々は次式〈2〉、〈3〉の夫々で表わされる。

$$V_{sl} = \frac{-d}{\epsilon_{sl} - 1} \cdot (Q_{ss} + \frac{qNd}{2}) \quad \dots \langle 2 \rangle$$

$$V_{sio,2} = \frac{-t_{ox_2}}{\epsilon_{sio_1}} \cdot Q_{ss} \quad \dots \langle 3 \rangle$$

ただし、 t_{ox_2} :絶縁膜11の膜厚
 C_{sl} :単結晶珪素膜12の容量
 C_{ss} :絶縁膜11の容量
 ϵ_{sl} :単結晶珪素膜12の誘電率

前記〈1〉乃至〈3〉式に基づき、前記ゲート

絶縁膜13に加わるポテンシャル差は次式〈4〉で表わされる。また、対向電極側の絶縁膜11に加わるポテンシャル差は次式〈5〉で表わされる。

$$(V_{th} - V_{ss}) - 2\phi_s = \frac{1}{C_{ss}} \cdot (Q_{ss} + qNd) \quad \dots \langle 4 \rangle$$

$$2\phi_s - (V_{ss} - V_{ss}) = \frac{Q_{ss}}{C_{ss}} + \frac{1}{C_{sl}} \cdot (Q_{ss} + \frac{qNd}{2}) \quad \dots \langle 5 \rangle$$

ただし、 V_{ss} :ゲート電極14と単結晶珪素膜12との仕事関数差
 ϕ_s :フェルミレベル
 V_{ss} :対向電極(10A)の電圧
 V_{ss} :対向電極と単結晶珪素膜12との仕事関数差
 V_{th} :しきい値電圧

前記〈4〉式、〈5〉式の夫々に基づき、しきい値電圧 V_{th} は次式〈6〉で表わされる。

$$V_{th} = 2\phi_s + V_{ss} + \frac{qNd}{C_{ss}} + \frac{C_{ss} \cdot C_{sl}}{C_{ss} + C_{sl}} \left(2\phi_s - (V_{ss} - V_{ss}) - \frac{qNd}{2C_{sl}} \right) \quad \dots \langle 6 \rangle$$

ここで、基板効果定数Kは次式〈7〉で表わされる。

$$K = \frac{1}{C_{ox_1}} \cdot \frac{C_{ox_2} \cdot C_{sl}}{C_{ox_2} + C_{sl}} \quad \dots \langle 7 \rangle$$

$$\text{ただし、} C_{ox_1} = \frac{\epsilon_{ox} \cdot \epsilon_{sio_1}}{t_{ox_1}} \\ C_{ox_2} = \frac{\epsilon_{ox} \cdot \epsilon_{sio_2}}{t_{ox_2}}$$

$$C_{al} = \frac{e_0 \cdot e_{al}}{d}$$

前記チャネル形成領域12Aはしきい値電圧 V_{th} と実質的に等しいゲート電圧をゲート電極14に印加したとき($V_g = V_{th}$)にすべて空乏化される薄膜で形成されるので、単結晶珪素膜12のチャネル形成領域12Aの膜厚 d はなくなる($d \rightarrow 0$)。したがって、前記基板効果定数 K は前記〈7〉式から次式〈8〉に書きなおすことができる。

$$K \approx \frac{C_{ox_2}}{C_{ox_1}} \quad \dots \langle 8 \rangle$$

この〈8〉式を前記〈6〉式に代入することにより、しきい値電圧 V_{th} は次式〈9〉に示すように近似される。

$$V_{th} \approx 2\phi_p(1+K) + V_{ms} - K(V_{gs} - V_{ms}) \quad \dots \langle 9 \rangle$$

通常、ゲート電極14を n 型不純物が導入された多結晶珪素膜で形成した場合、仕事関数差 V_{ms} は $-0.8[V]$ 、フェルミレベル ϕ_p は $0.3[V]$ である。つまり、対向電極(p 型半導体領域10A)により負電位を印加することにより、 n チャネル

また、前記 n チャネルMISFETQnのしきい値電圧 V_{th} は、ゲート電極14を p 型不純物が導入された多結晶珪素膜で形成することにより、前記〈9〉式の右辺第2項の仕事関数差 V_{ms} が増加するので、より正方向にシフトさせることができる。

また、前記 n チャネルMISFETQnのしきい値電圧 V_{th} は、対向電極を p 型半導体領域10Aで形成することにより、前記〈9〉式の右辺第3項の仕事関数差 V_{ms} が増加するので、より正方向にシフトさせることができる。

次に、 p チャネルMISFETQpのしきい値電圧 V_{th} は、前記〈6〉式の右辺第3項の空乏層電荷 qNd が負になるだけで、実質的に前記 n チャネルMISFETQnと同様に正方向にシフトさせることができるので、ここでの説明は省略する。

次に、前記相補型MISFETの具体的な形成方法について、第3図乃至第9図(各製造工程毎に示す要部断面図)を用いて簡単に説明する。

MISFETQnは前記〈9〉式の右辺第3項の $-K(V_{gs} - V_{ms})$ の寄与が生じるので、しきい値電圧 V_{th} は正方向($V_{th} > 0$)にシフトされエンハンスメント型に設定される。

明細書の末尾に掲載した第1表は基板効果定数 K の一例の実測値を示す。第1表に示すように、 n チャネルMISFETQnにおいて、単結晶珪素膜12のチャネル形成領域12Aの薄膜化、絶縁膜11の薄膜化は基板効果定数 K の値を大きくする。基板効果定数 K の上昇は、前記〈9〉式から対向電極の効果が大きくなることを意味し、しきい値電圧 V_{th} を正方向にシフトさせることができる。前記第2図のポテンシャル図に破線で示すように、対向電極に印加される電位(V_{gs})を負方向にシフトすることにより、しきい値電圧 V_{th} は正方向にシフトさせることができる。前記第1表に示す実測値においては、ゲート絶縁膜13の膜厚は一定で変化させていないが、ゲート絶縁膜13の厚膜化はしきい値電圧 V_{th} を正方向にシフトさせることができる。

まず、単結晶珪素からなる n 型半導体基板10を用意する。

次に、第3図に示すように、 n チャネルMISFETQnの形成領域において、 n 型半導体基板10中に p 型不純物10pを導入する。 p 型不純物10pは、例えば $10^{18}[\text{atoms}/\text{cm}^3]$ 程度の B^+ を使用し、 $100 \sim 150[\text{KeV}]$ 程度のエネルギーのイオン打込み法で導入する。

次に、第4図に示すように、前記 p 型不純物10pに比べて浅い領域において、 n 型半導体基板10中の全面に酸素イオン(O^+)11oを導入する。酸素イオン11oは、例えば $10^{18}[\text{atoms}/\text{cm}^3]$ 程度の濃度を用い、 $90 \sim 110[\text{KeV}]$ 程度のエネルギーのイオン打込み法で導入する。

次に、高温度のアニールを施し、第5図に示すように、 p 型半導体領域10Aを形成すると共に絶縁膜11を形成する。前記アニールは、例えば $1200 \sim 1300[^\circ\text{C}]$ の高温度の N_2 ガス雰囲気中において、約10時間行う。前記 p 型半導体領域10Aは前記 p 型不純物10pに引き伸ばし拡散を施す

ことにより形成される。絶縁膜11は、前記酸素イオン11 \circ とn型半導体基板10のSiとを結合させた酸化珪素膜で形成される。絶縁膜11は、酸素イオン11 \circ をn型半導体基板10中に導入するので、このn型半導体基板10の内部に約200[nm]の膜厚をもって形成される。この絶縁膜11上にはn型半導体基板10の表面の一部である単結晶珪素膜(SOI層)12が形成される。この単結晶珪素膜12は約100[nm]の膜厚で形成される。

次に、周知の選択酸化技術を使用し、第6図に示すように、素子分離領域間となる単結晶珪素膜12を酸化珪素膜に変換し、単結晶珪素膜12の活性島領域を形成する。

次に、第7図に示すように、前記活性島領域において、単結晶珪素膜12の表面上にゲート絶縁膜13を形成する。ゲート絶縁膜13は、例えば約1000[$^{\circ}$ C]の高温度のドライ酸化法を使用した酸化珪素膜で形成され、約20[nm]の膜厚で形成される。単結晶珪素膜12のチャネル形成領域12Aの膜厚は前記ゲート絶縁膜13を形成することにより

導入する。

次に、pチャネルMISFETQpの形成領域において、単結晶珪素膜12にp型不純物を導入し、p型半導体領域12Dを形成すると共に、このp型半導体領域12Dで領域を規定されたチャネル形成領域12Aを形成する。前記p型不純物は、例えば 10^{17} [atoms/cm 3]程度のBF $_3$ $^+$ を使用し、70~90[K \circ V]程度のエネルギーのイオン打込み法で導入する。

次に、第8図に示すように、前記ゲート電極14の側壁にサイドウォールスペーサ15を形成する。このサイドウォールスペーサ15は、例えば低圧CVD法で約300[nm]の膜厚の酸化珪素膜を基板全面に堆積し、この堆積した膜厚に相当する分、酸化珪素膜の全面にエッチングを施すことにより形成される。エッチングは異方性エッチング例えばCHF $_3$ を使用するドライエッチングを用いる。サイドウォールスペーサ15はゲート長方向において約200[nm]の膜厚で形成される。

次に、前記サイドウォールスペーサ15及び絶縁

減少し約80[nm]になる。

次に、前記単結晶珪素膜12のチャネル形成領域12A上にゲート絶縁膜13を介在させてゲート電極14、絶縁膜(符号は付けない)の夫々を順次積層する。ゲート電極14は例えば低圧CVD法で堆積した多結晶珪素膜で形成され、この多結晶珪素膜にはn型不純物例えばPが熱拡散法で導入される。この多結晶珪素膜は例えば約300[nm]の膜厚で形成される。絶縁膜は、例えば低圧CVD法で堆積された酸化珪素膜で形成され、約200[nm]の膜厚で形成される。ゲート電極14、その上層の絶縁膜の夫々は例えば異方性エッチングでパターンニングされる。

次に、nチャネルMISFETQnの形成領域において、単結晶珪素膜12にn型不純物を導入し、n型半導体領域12Bを形成すると共に、このn型半導体領域12Bで領域を規定されたチャネル形成領域12Aを形成する。前記n型不純物は、例えば 10^{17} [atoms/cm 3]程度のP $^+$ を使用し、40~60[K \circ V]程度のエネルギーのイオン打込み法で

膜11で周囲を規定された領域内のn型半導体領域12B上、p型半導体領域12D上の夫々を含む基板全面に電極層を堆積する。電極層は、例えば低圧CVD法で堆積した多結晶珪素膜で形成され、約300[nm]の膜厚で形成される。

次に、前記n型半導体領域12B上、p型半導体領域12D上の夫々の領域において残存するように、前記電極層に所定のパターンニングを施す。そして、前記n型半導体領域12B上の電極層にn型不純物を導入してn型の電極16を形成し、この後、p型半導体領域12D上の電極層にp型不純物を導入してp型の電極17を形成する。n型不純物は、例えば 10^{17} ~ 10^{18} [atoms/cm 3]程度のAs $^+$ を使用し、70~90[K \circ V]程度のエネルギーのイオン打込み法で導入する。p型不純物は、例えば 10^{17} ~ 10^{18} [atoms/cm 3]程度のBF $_3$ $^+$ を使用し、70~90[K \circ V]程度のエネルギーのイオン打込み法で導入する。このn型不純物、p型不純物の夫々の打分けは例えばフォトリソグラフィ技術で形成されたフォトリソマスクを用いて

行う。

次に、高温度のアニールを施し、第9図に示すように、 n チャネルMISFETQ_nの形成領域において単結晶珪素膜12に n 型半導体領域12Cを形成すると共に、 p チャネルMISFETQ_pの形成領域において単結晶珪素膜12に p 型半導体領域12Eを形成する。 n 型半導体領域12Cは、電極16に導入された n 型不純物を単結晶珪素膜12の n 型半導体領域12B中に拡散することにより形成される。 p 型半導体領域12Eは、電極17に導入された p 型不純物を単結晶珪素膜12の p 型半導体領域12D中に拡散することにより形成される。前記アニールは、例えば900～1000[℃]で10分行う。

次に、前記電極16上、17上の夫々を含む基板全面に層間絶縁膜18を形成する。層間絶縁膜18は例えばCVD法で堆積したBPSG膜で形成し、このBPSG膜は約500[nm]の膜厚で形成する。BPSG膜はその堆積後に900～1000[℃]の高温度の N_2 雰囲気中において約10分のリフ

の変動を低減し、このしきい値電圧の制御性を高めることができると共に、前記対向電極に印加される反対極性の電位で前記 n チャネルMISFETQ_nのしきい値電圧を正方向にシフトすることができるので、このしきい値電圧をエンハンスメント化することができる。また、前記単結晶珪素膜12のチャネル形成領域12A部分に電位を供給するチャネル導電型と反対導電型の半導体領域を廃止することができるので、ゲート幅方向の寸法を増加し、 n チャネルMISFETQ_pの電流駆動能力を向上することができる。

また、前記(1)の対向電極を前記 n チャネルMISFETQ_nのチャネル導電型と反対導電型の p 型半導体領域10Aで構成する。この構成により、前記単結晶珪素膜12のチャネル形成領域12Aと前記対向電極である p 型半導体領域10Aとの間の仕事関数差によりしきい値電圧を正方向にシフトすることができるので、このしきい値電圧をよりエンハンスメント化することができる。

また、前記(1)、(2)の夫々の n チャネルMISFETQ_nのゲート電極14をそのチャネル導電型と反対導電型の p 型の多結晶珪素膜で構成する。この構成により、前記単結晶珪素膜12のチャネル形成領域12Aをすべて空乏化し、フローティング領域をなくすることができるので、前記 n チャネルMISFETQ_nのしきい値電圧の変動を低減し、このしきい値電圧の制御性を高めることができると共に、前記単結晶珪素膜12の

ローが施される。

次に、前記層間絶縁膜18、絶縁膜11の夫々に接続孔19を形成する。この後、前記第1図に示すように、前記接続孔19を通して所定の導体に接続する配線20を形成する。

これら一連の工程を施すことにより、本実施例のSOI構造を採用する相補型MISFETを備えた半導体集積回路装置は完成する。

このように、(1)SOI構造の n チャネルMISFETQ_nを有する半導体集積回路装置において、 n 型半導体基板10上の単結晶珪素膜12のチャネル形成領域12Aをしきい値電圧と同等のゲート電圧印加時にすべて空乏化される薄膜で構成し、前記 n 型半導体基板10の前記チャネル形成領域12Aに対向する位置に前記しきい値電圧と反対極性の電位が印加された対向電極(p 型半導体領域10A)を構成する。この構成により、前記単結晶珪素膜12のチャネル形成領域12Aをすべて空乏化し、フローティング領域をなくすることができるので、前記 n チャネルMISFETQ_nのしきい値電圧

SFETQ_nのゲート電極14をそのチャネル導電型と反対導電型の p 型の多結晶珪素膜で構成する。この構成により、前記単結晶珪素膜12のチャネル形成領域12Aと前記ゲート電極14との間の仕事関数差によりしきい値電圧を正方向にシフトすることができるので、このしきい値電圧をよりエンハンスメント化することができる。

また、(4)SOI構造の n チャネルMISFETQ_nを有する半導体集積回路装置において、 n 型半導体基板10上の単結晶珪素膜12のチャネル形成領域12Aをしきい値電圧と同等のゲート電圧印加時にすべて空乏化される薄膜で構成し、前記 n チャネルMISFETQ_nのゲート電極14をそのチャネル導電型と反対導電型の p 型の多結晶珪素膜で構成する。この構成により、前記単結晶珪素膜12のチャネル形成領域12Aをすべて空乏化し、フローティング領域をなくすることができるので、前記 n チャネルMISFETQ_nのしきい値電圧の変動を低減し、このしきい値電圧の制御性を高めることができると共に、前記単結晶珪素膜12の

チャネル形成領域12Aと前記ゲート電極14との間の仕事関数差によりしきい値電圧を正方向にシフトすることができるので、このしきい値電圧をエンハンスメント化することができる。

また、(5)SOI構造のnチャネルMISFETQnを有する半導体集積回路装置において、n型半導体基板10上の単結晶珪素膜12のチャネル形成領域12Aをしきい値電圧と同等のゲート電圧印加時にすべて空乏化される薄膜で構成し、前記n型半導体基板10の前記チャネル形成領域12Aに対向する位置に、前記nチャネルMISFETQnのチャネル導電型と反対導電型のp型半導体領域10Aを構成する。この構成により、前記単結晶珪素膜12のチャネル形成領域12Aをすべて空乏化し、フローティング領域をなくすることができるので、前記nチャネルMISFETQnのしきい値電圧の変動を低減し、このしきい値電圧の制御性を高めることができると共に、前記単結晶珪素膜12のチャネル形成領域12Aとそれと対向するp型半導体領域10Aとの間の仕事関数差によりしきい値電

圧を正方向にシフトすることができるので、このしきい値電圧をエンハンスメント化することができる。

また、これら(1)乃至(5)の夫々の効果はpチャネルMISFETQpについても同様である。

(実施例Ⅱ)

本実施例Ⅱは、前記実施例Ⅰの半導体集積回路装置において、対向電極の構造を変えた、本発明の第2実施例である。

本発明の実施例Ⅱである半導体集積回路装置に集積化されたSOI構造を採用する相補型MISFETを第10図及び第11図(要部断面図)で示す。

第10図に示す半導体集積回路装置はp型半導体基板10で構成される。SOI構造のnチャネルMISFETQnのチャネル形成領域12A下においてはp型半導体領域10Aが設けられ、このp型半導体領域10Aは対向電極として使用される。なお、基本的にはp型半導体基板10を使用するので、p型半導体領域10Aは設けなくてもよい。

SOI構造のpチャネルMISFETQpのチャネル形成領域12A下においてはn型半導体領域10Bが設けられ、このn型半導体領域10Bは対向電極として使用される。n型半導体領域10Bは前記実施例Ⅰのp型半導体領域10Aと同様に基板表面から電位を供給する。この電位の供給は、素子毎に行ってもよいし、又複数の素子のn型半導体領域10Bを一体に構成し、複数の素子毎に行ってもよい。

第11図に示す半導体集積回路装置は半導体基板10に変えて絶縁性基板21で構成される。SOI構造のnチャネルMISFETQn、pチャネルMISFETQpの夫々のチャネル形成領域12A下においては対向電極22が設けられる。この対向電極22は絶縁性基板21中に埋込まれる。対向電極22は珪素膜、遷移金属膜等で形成される。前記絶縁性基板21上のSOI層は再結晶化された単結晶珪素膜12又は多結晶珪素膜12で形成される。

前記第10図、第11図の夫々のように構成される半導体集積回路装置は、前記実施例Ⅰと実質

的に同様の効果を奏することができる。

(実施例Ⅲ)

本実施例Ⅲは、前記実施例Ⅰ(又は実施例Ⅱ)のSOI構造のMISFETの駆動能力を高めた、本発明の第3実施例である。

本発明の実施例Ⅲである半導体集積回路装置に集積化されたSOI構造を採用する相補型MISFETを第12図及び第13図(要部断面図)に示す。

第12図に示す半導体集積回路装置は、SOI構造を採用するnチャネルMISFETQnのチャネル形成領域12Aの膜厚に比べてn型半導体領域12Cの膜厚が厚く構成される。つまり、単結晶珪素膜12のチャネル形成領域12Aは前述のようにすべて空乏化できる薄膜で形成されるのに対して、単結晶珪素膜12のソース領域及びドレイン領域は抵抗値を低減するように厚く構成される。このソース領域及びドレイン領域の抵抗値の低減は、ソース領域-ドレイン領域間に流れる電流量を増加することができるので、nチャネルMISFET

Q_nの電流駆動能力を高めることができる。ゲート電極14は単結晶珪素膜12のn型半導体領域12C間の凹部に埋込まれるように構成される。

前記単結晶珪素膜12は、例えば予じめソース領域、ドレイン領域の夫々を形成する厚い膜厚で形成し、この後、チャネル形成領域12Aの部分をエッチングにより薄膜化することにより形成することができる。

同様に、SOI構造を採用するpチャネルMISFETQ_pのp型半導体領域12Eの膜厚はチャネル形成領域12Aの膜厚に比べて厚く構成される。

このように、SOI構造のMISFETを有する半導体集積回路装置において、前記単結晶珪素膜12のMISFETのソース領域、ドレイン領域の夫々（n型半導体領域12C又はp型半導体領域12E）の膜厚をチャネル形成領域12Aに比べて厚い膜厚で構成する。この構成により、前記MISFETのソース領域、ドレイン領域の夫々の抵抗値を低減することができるので、ソース領域－ドレイン領域間電流量を増加し、前記MISFET

ことができる。

また、前記単結晶珪素膜12のソース領域、ドレイン領域の夫々（n型半導体領域12C又はp型半導体領域12E）の膜厚をチャネル形成領域12Aに比べて厚い膜厚で形成し、このソース領域、ドレイン領域の夫々の表面上に低抵抗層23を設ける。この構成により、前記低抵抗層23を形成するシリサイド化工程において、ソース領域、ドレイン領域の夫々の表面のシリサイド化される領域を十分に確保することができ、必要以上にソース領域、ドレイン領域の夫々をチャネル形成領域12A側に拡散させることがなくなるので、チャネル長を確保し、MISFETの占有面積を縮小することができる。つまり、半導体集積回路装置の集積度を向上することができる。

以上、本発明者によってなされた発明を前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において、種々変形し得ることは勿論である。

の電流駆動能力を向上することができる。

また、前記第13図に示す半導体集積回路装置は、前記12図に示すSOI構造のnチャネルMISFETQ_nのn型半導体領域12Cの表面上、pチャネルMISFETQ_pのp型半導体領域12Eの表面上の夫々に低抵抗層23を設ける。この低抵抗層23は、n型半導体領域12C、p型半導体領域12Eの夫々に比べて抵抗値が低い材料、例えばTlSi₃, WSi₃, MoSi₃, CoSi₃等の遷移金属珪化物で形成される。また、低抵抗層23は、TiN等の遷移金属窒化物で形成してもよい。

このように、SOI構造のMISFETを有する半導体集積回路装置において、前記単結晶珪素膜12のMISFETのソース領域、ドレイン領域の夫々（n型半導体領域12C又はp型半導体領域12E）の表面上に低抵抗層23を構成する。この構成により、前記MISFETのソース領域、ドレイン領域の夫々の抵抗値を低減することができるので、ソース領域－ドレイン領域間電流量を増加し、前記MISFETの電流駆動能力を向上する

例えば、本発明は、前記SOI構造を採用するMISFETのゲート電極14を、多結晶珪素膜上に遷移金属珪化膜又は遷移金属膜を積層した複合膜で形成してもよい。

〔発明の効果〕

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、次のとおりである。

SOI構造を採用するMISFETを有する半導体集積回路装置において、前記SOI構造を採用するMISFETのしきい値電圧の制御性を向上することができると共に、しきい値電圧をエンハンスメント型に設定することができる。

また、前記半導体集積回路装置において、前記SOI構造を採用するMISFETの電流駆動能力を向上することができる。

以下、余白

【第1表】

t_{ox}	d	t_{ox}	基板効果定数K
10[μ m]	50[μ m]	200[μ m]	0.0461
10[μ m]	50[μ m]	100[μ m]	0.0857
10[μ m]	50[μ m]	50[μ m]	0.1500
10[μ m]	50[μ m]	25[μ m]	0.2399
10[μ m]	100[μ m]	25[μ m]	0.1714
10[μ m]	25[μ m]	25[μ m]	0.3000

4. 図面の簡単な説明

第1図は、本発明の実施例Iである半導体集積回路装置に集積化されたSOI構造を採用する相補型MISFETの要部断面図。

第2図は、前記MISFETのポテンシャル図及び電荷分布図。

第3図乃至第9図は、前記MISFETを各製造工程毎に示す要部断面図。

第10図及び第11図は、本発明の実施例IIである半導体集積回路装置に集積化されたSOI構造を採用する相補型MISFETの要部断面図。

第12図及び第13図は、本発明の実施例IIIである半導体集積回路装置に集積化されたSOI構造を採用する相補型MISFETの要部断面図。

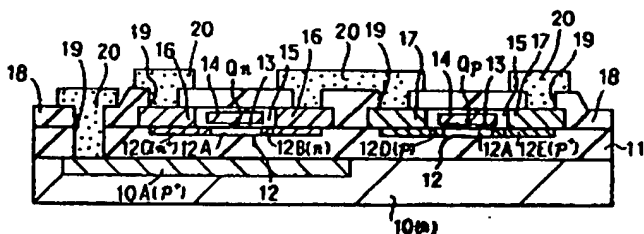
第14図及び第15図は、従来のSOI構造を

採用するMOSFETの要部断面図である。

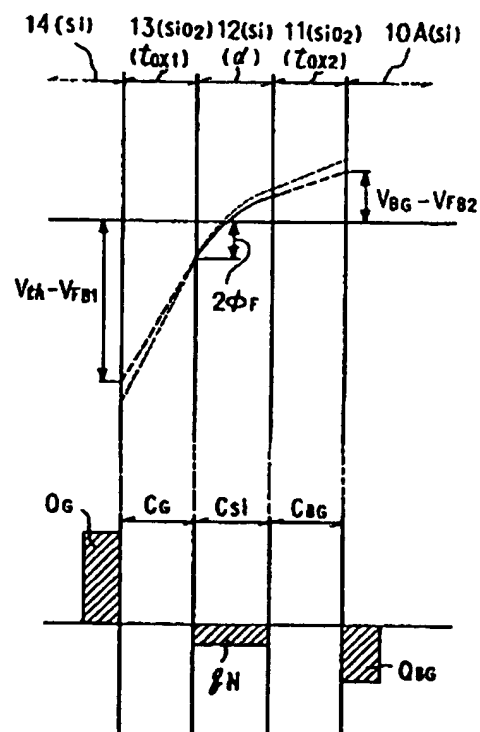
図中、10…半導体基板、10A、10B…半導体領域(対向電極)、11…絶縁膜、12…単結晶硅薄膜、12A…チャネル形成領域、12B～12E…半導体領域、13…ゲート絶縁膜、14…ゲート電極、21…絶縁性基板、22…対向電極、23…低抵抗層、 Q_n 、 Q_p …MISFETである。

代理人 弁理士 秋田収喜

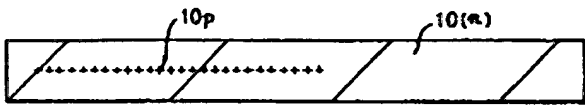
第1図



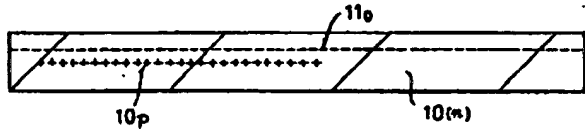
第2図



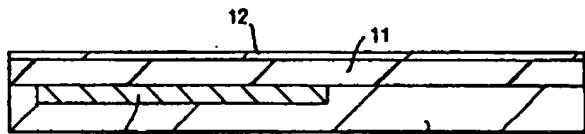
第 3 図



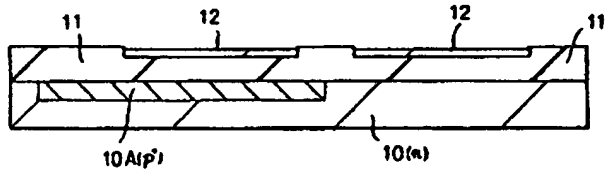
第 4 図



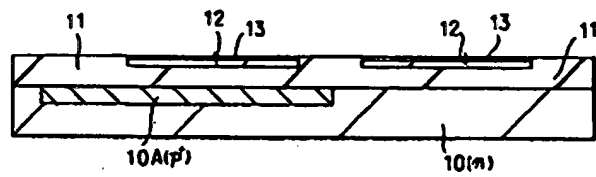
第 5 図



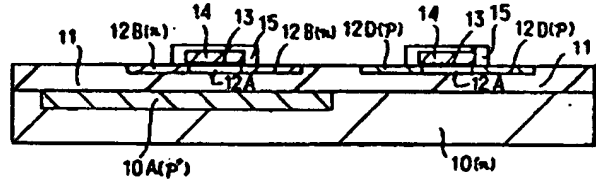
第 6 図



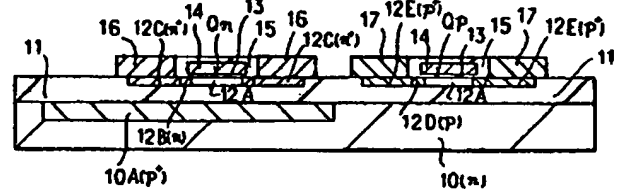
第 7 図



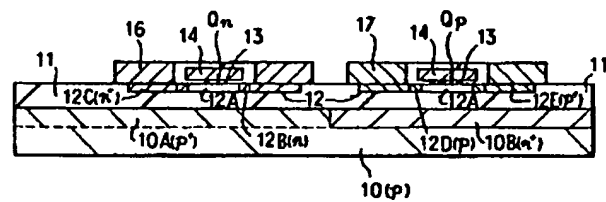
第 8 図



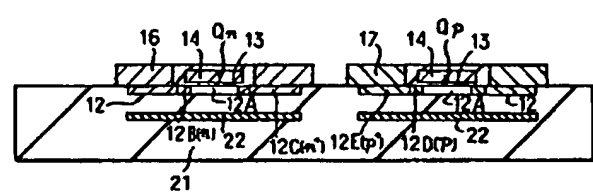
第 9 図



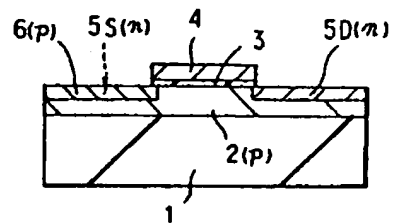
第 10 図



第 11 図



第 14 図



第 15 図

